

Partial English Translation of

LAID OPEN unexamined

JAPANESE PATENT APPLICATION

Publication No. 4-075347

From line 7 of the upper right column to line 16 of the lower right column
on page 2

[Embodiment]

The present invention will be hereinbelow described in detail based
on an embodiment.

Table 1 shows composition materials of a heterojunction bipolar
transistor according to the present embodiment.

More specifically, in the heterojunction bipolar transistor, an InP
buffer layer 2 ($\lambda_g = 0.92 \mu m$), an n-InGaAs sub-collector layer 3 ($\lambda_g = 1.67 \mu m$), an n-InP collector layer 4, an n-InGaAsP graded layer 5
having bandgap wavelengths (λ_g) of 1.00 μm , 1.20 μm and 1.30 μm
from the substrate side 1, a p-InGaAs base layer 6 ($\lambda_g = 1.67 \mu m$), an
n-InP emitter layer 7, an n-InGaAs cap layer 8 ($\lambda_g = 1.67 \mu m$) are
laminated in this order on an InP substrate 1, as shown in Figure 1.
Reference number 9 denotes a collector electrode, reference number 10
denotes a base electrode, reference number 11 denotes an emitter electrode,
and reference number 12 denotes an insulating film. In the above
structure according to the present embodiment, the graded layer 5 is
interposed between the base layer 6 and the collector layer 4, with an

advantageous result that the conduction band between the base layer 6 and the collector layer 4 is connected relatively smoothly with involving extremely small spike barriers, as shown in Figure 2. Figures 3(a) and 3(b) illustrate the characteristic of a HBT (HBT1) having the graded layer 5 and that of a conventional HBT (HBT2) not having the graded layer 5, respectively. The current amplification factor of the HBT1 according to the present embodiment is 490 while that of the HBT2 is 210, which indicates that the present embodiment can achieve a current gain more than twice as large as that of the HBT2. Further, the dependency of the current on a collector voltage of the HBT 1 is extremely smaller in ON state.

Wherein, in the embodiment, p and n are, of course, reversible.

[Table 1]

Layer	material	doping (cm ⁻³)	thickness (Å)
cap layer	InGaAs ($\lambda g=1.67 \mu m$)	Se: 1.5×10^{17}	1000
emitter layer	InP	Si: 5.0×10^{17}	3000
base layer	InGaAs	Zn: 5.0×10^{18}	1000
graded layer	InGaAsP ($\lambda g=1.30 \mu m$)	Si: 5.0×10^{16}	200
	InGaAsP ($\lambda g=1.20 \mu m$)	Si: 5.0×10^{16}	200
	InGaAsP ($\lambda g=1.00 \mu m$)	Si: 5.0×10^{16}	200
collector layer	InP	Se: 5.0×10^{16}	3000
sub-collector layer	InGaAs ($\lambda g=1.67 \mu m$)	Se: 1.5×10^{17}	3000
buffer layer	InP	-	500
substrate	InP	Fe	-



(19)

(11) Publication number:

04075347 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 02190135

(51) Int'l. Cl: H01L 21/331 H01L 29/205 H01L 29/73

(22) Application date: 18.07.90

(30) Priority:

(43) Date of application
publication: 10.03.92

(84) Designated
contracting states:

(71) Applicant: FURUKAWA ELECTRIC CO LTD:THE

(72) Inventor: OKUBO NORIO
KIKUTA TOSHIO

(74) Representative:

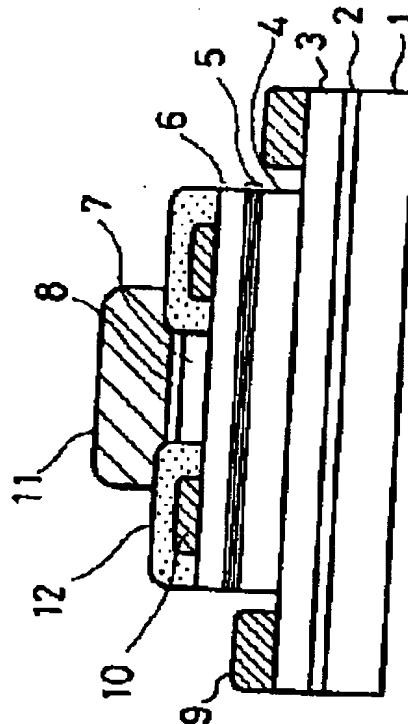
(54) HETROJUNCTION BIPOLAR TRANSISTOR

(57) Abstract:

PURPOSE: To make it possible to obtain HBT whose current gain is enhanced by installing an interposition layer comprising InGaAsP between a collector layer and a base layer.

CONSTITUTION: A conduction band between a base layer 6 and a collector layer 4 can be smoothly connected by means of an extremely low level of spiking by interposing a graded layer 5 between the base layer 6 and the collect layer 4. In terms of HBT 1 having the graded layer 5 thus obtained, the current amplification factor is 490, which provides current gain two times and more times compared with 210 of the prior art HBT 2. HBT 1 rarely depends on the collector current voltage when it is turned on.

COPYRIGHT: (C)1992,JPO&Japio



⑫ 公開特許公報 (A)

平4-75347

⑬ Int. Cl. 5

H 01 L 21/331
29/205
29/73

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月10日

7735-4M

7735-4M H 01 L 29/72

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 ヘテロ接合バイポーラトランジスタ

⑯ 特願 平2-190135

⑰ 出願 平2(1990)7月18日

⑮ 発明者 大久保 典雄 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

⑮ 発明者 菊田 俊夫 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

⑮ 出願人 古河電気工業株式会社 東京都千代田区丸の内2丁目6番1号

明細書

1. 発明の名称

ヘテロ接合バイポーラトランジスタ

2. 特許請求の範囲

InP よりなるコレクタ層、InGaAs よりなるベース層およびInP よりなるエミッタ層が順次積層されたヘテロ接合バイポーラトランジスタにおいて、コレクタ層とベース層の間にInGaAsP からなる介在層が設けられていることを特徴とするヘテロ接合バイポーラトランジスタ。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、化合物半導体を用いたヘテロ接合バイポーラトランジスタの改良に関する。

【従来の技術】

ヘテロ接合バイポーラトランジスタ (Hetero-junction Bipolar Transistors、以下、HBTと略す) は、次世代電子デバイスとしてその高電流増幅率、高速性が期待され、現在、主にGaAs/AlGaAs系で盛んに研究開発が行われている。

最近では、InP に格子整合する InP系HBT の開発も並行して進みつつある。InP系HBTは、そのベース層にInGaAsを用いるため、バンドギャップでほぼ決まるターンオフ電圧がシリコンバイポーラトランジスタとほとんど同じとなり既存回路との互換性が期待され、またGaAs系HBTより低消費電力型デバイスの可能性を有している。さらに、本HBTはInP 系発光・受光デバイスとの集積化が可能になるというメリットもある。

InP 系HBTとしては、エミッタ層とコレクタ層にn-InP、ベース層にp-InGaAsを用いたInP 系ダブルヘテロ接合バイポーラトランジスタ (D-HBT) がある。しかしながら、この素子では、ベース・コレクタ間に導入されたヘテロ接合により、第4図に示すように、エネルギーバンドの伝導バンドにスパイク状の障壁が形成され、電流利得が稼げないという問題があった。そこで、最近になり、ベース・コレクタ間にコレクタ層よりも不純物濃度の高いInP 層を挿入することにより伝導バンド障壁を下げ、大きな電流利得を得ている

(IEEE Electron Device Lett., Vol. 9, No. 5, p. 253, 1988参照)。

〔発明が解決しようとする課題〕

しかしながら、上述のように、ベース・コレクタ間にコレクタ層よりも不純物濃度の高いInP層を挿入しても、スパイク状の伝導バンド障壁が依然として残るという問題があった。

〔課題を解決するための手段と作用〕

本発明は上記問題点を解決したヘテロ接合バイポーラトランジスタを提供するもので、InPよりなるコレクタ層、InGaAsよりなるベース層およびInPよりなるエミッタ層が順次積層されたヘテロ接合バイポーラトランジスタにおいて、コレクタ層とベース層の間にInGaAsPからなる介在層が設けられていることを特徴とするものである。

本発明は、上述のように、コレクタ層とベース層の間にInGaAsPからなる介在層を設けると、InGaAsのベース層とInPのコレクタ層との間のヘテロバンドギャップが小さくなり、従って、スパイク状の障壁も小さくなるという考え方に基づいて

いる。特に、この介在層をInGaAsPのバンドギャップ波長を徐々に変えたグレーデッド層にすると、ヘテロバンドギャップが滑らかにつながり、スパイク状の障壁が極めて小さくなる。この介在層の厚さはInGaAsPの電子の拡散長よりも薄くする必要がある。

〔実施例〕

以下、実施例に基づいて本発明を詳細に説明する。

第1表は本実施例のヘテロ接合バイポーラトランジスタの構成材質を示している。

即ち、第1図に示すように、InP基板1上にInP ($\lambda_e = 0.92\mu m$) バッファ層2、n-InGaAs ($\lambda_e = 1.67\mu m$) サブコレクタ層3、n-InPコレクタ層4、基板側からそれぞれギャップ波長 (λ_e) が1.00μm、1.20μm、1.30μmであるn-InGaAsPのグレーデッド層5、p-InGaAs ($\lambda_e = 1.67\mu m$) のベース層6、n-InPのエミッタ層7、n-InGaAs ($\lambda_e = 1.67\mu m$) のキャップ層8を順次積層したものである。9はコレクタ電極、10はベース電極、11エ

第1表

層	材質	ドーピング (cm^{-3})		厚さ (Å)	ドーピング (cm^{-3})	厚さ (Å)
		1000	3000			
キャップ層	InGaAs ($\lambda_e = 1.67\mu m$)	5.0×10^{19}	1.5×10^{19}	1000		
エミッタ層	InP	5.0×10^{19}		3000		
ベース層	InGaAs	5.0×10^{19}		1000		
グレーデッド層	InGaAsP ($\lambda_e = 1.30\mu m$) InGaAsP ($\lambda_e = 1.20\mu m$) InGaAsP ($\lambda_e = 1.00\mu m$)			200		
コレクタ層	InP			3000		
サブコレクタ層	InGaAs ($\lambda_e = 1.67\mu m$)			3000		
バッファ層	InP			500		
基板	InP			—		

ミッタ電極、12は絶縁膜である。上記構造の実施例において、ベース層6とコレクタ層4の間にグレーデッド層5を介在させることにより、第2図に示すように、ベース層6とコレクタ層4の間の伝導バンドは極めて小さなスパイクで比較的滑らかに結ばれている。このようにして得られたグレーデッド層5の有るHBT (HBT1) とグレーデッド層5の無い従来例のHBT (HBT2) のトランジスタ特性を第3図(a)、(b)に示す。本実施例のHBT1では電流増幅率が490となり、HBT2の210に対して2倍以上の電流利得が得られた。さらに、HBT1においては、オン状態となってからは電流のコレクタ電圧依存性も非常に少なかった。

なお、上記実施例において、pとnを逆にしてよいことは言うまでもない。

〔発明の効果〕

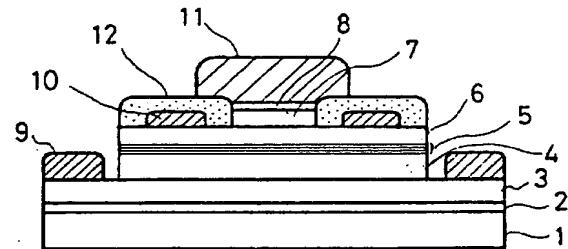
以上説明したように本発明によれば、コレクタ層とベース層の間にInGaAsPからなる介在層が設けられているため、電流利得が向上したHBTが

得られるという優れた効果がある。

4. 図面の簡単な説明

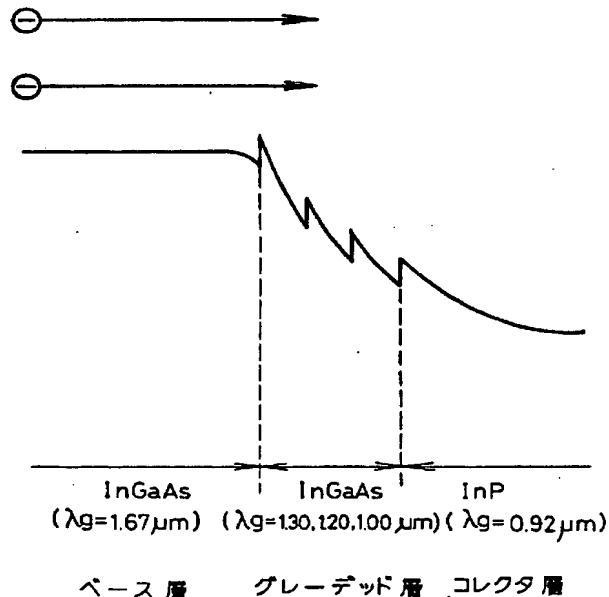
第1図は本発明にかかるヘテロ接合バイポーラトランジスタの一実施例の断面説明図、第2図は同実施例のベース・コレクタ間の伝導バンドの説明図、第3図(a)は同実施例のトランジスタ特性図、第3図(b)は従来例のトランジスタ特性図、第4図は従来のヘテロ接合バイポーラトランジスタのベース・コレクタ間の伝導バンドの説明図である。

1…基板、2…バッファ層、3…サブコレクタ層、4…コレクタ層、5…グレーデッド層、6…ベース層、7…エミッタ層、8…キャップ層、9…コレクタ電極、10…ベース電極、11…エミッタ電極、12…絶縁膜。

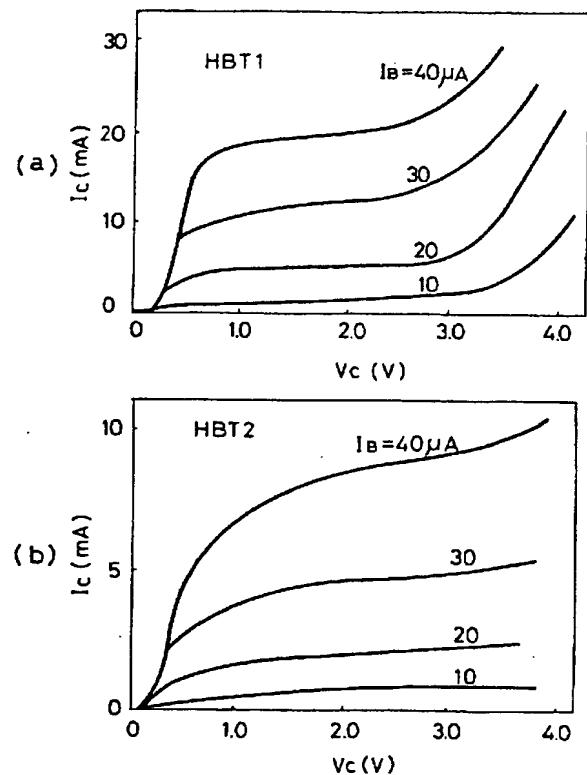


第1図

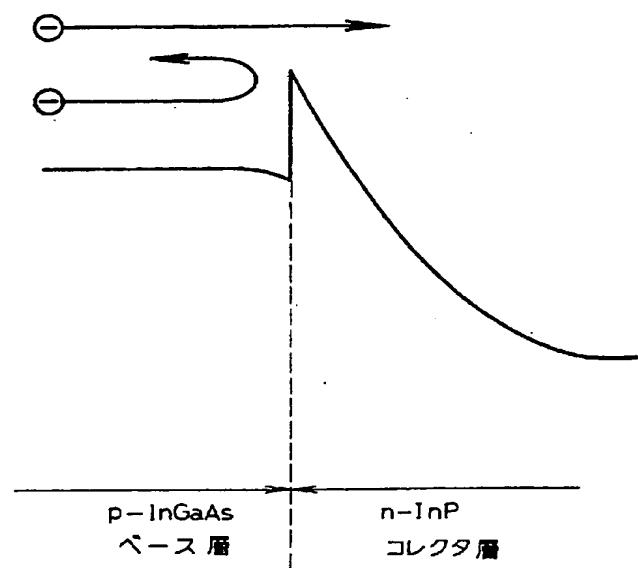
特許出願人 古河電気工業株式会社



第2図



第3図



第4図